

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-123998

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

G09G 3/28

(21)Application number : 08-271946

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.10.1996

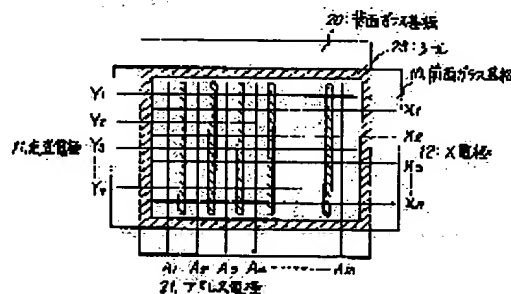
(72)Inventor : AOKI MASAMI
KAWADA TOYOSHI
KOIZUMI HARUO

(54) DISPLAY DEVICE UTILIZING FLAT DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the electric power consumption necessary for driving of address electrodes by providing a display device with a prescribed time lag between the rise of the address pulse signal of the first address electrode and the fall of the address pulse signals of the second address electrode adjacent thereto.

SOLUTION: Voltages are impressed between the address electrodes 21 and scanning electrodes 11 to generate plasma discharges and the generated wall charges are accumulated on the surface of dielectric layers. Maintenance pulses are thereafter impressed alternately between all of X electrodes 12 and the scanning electrodes 11 to repeat the maintenance discharge. The rise of the address pulse signals of the first address electrodes 21 and the fall of the address pulse signals of the second address electrodes 21 adjacent to the first address electrodes 21 have the prescribed time lags. Address drivers are so designed that the prescribed time lags are held to the extent that the electric power consumption necessary for charging the capacitors between the adjacent address electrodes is substantially reduced.



LEGAL STATUS

[Date of request for examination]

23.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-123998

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

J

審査請求 未請求 請求項の数14 O L (全 15 頁)

(21) 出願番号 特願平8-271946

(22) 出願日 平成8年(1996)10月15日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 青木 正心

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 河田 外与志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小泉 治男

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 土井 健二 (外1名)

(54) 【発明の名称】 フラット表示パネルを利用した表示装置

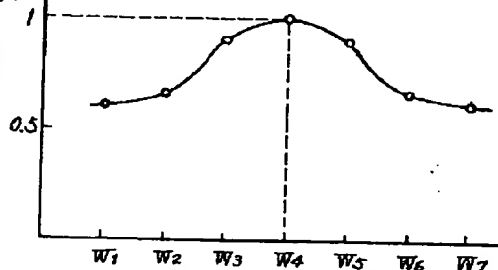
(57) 【要約】

【課題】 アドレスドライバの消費電力を削減する。

【解決手段】 複数のアドレス電極と、アドレス電極に交差し放電空間を介して対向して設けられた複数の走査電極とを有するプラズマディスプレイパネルと、走査電極に走査タイミングで順次走査パルス信号を与える走査電極ドライバと、アドレス電極に、走査タイミングに同期して表示データに従うアドレスパルス信号を与えるアドレスドライバとを有し、第一のアドレス電極のアドレスパルス信号の立ち上がり時、第一のアドレス電極に隣接する第二のアドレス電極のアドレスパルス信号の立ち下がり時とが、所定の時間差を有することを特徴とするPDP表示装置。隣接するアドレス電極間の容量を充電する為の消費電力を大幅に削減することができる。

アドレス電極
消費電力

(相対値)



アドレス電極駆動波形隣接間の関係 (Ai, Ai+1)

【特許請求の範囲】

【請求項1】複数のアドレス電極と、該アドレス電極に交差し対向して設けられた複数の走査電極とを有するフラット表示パネルと、

該走査電極に走査タイミングで順次走査パルス信号を与える走査電極ドライバと、

前記アドレス電極に、前記走査タイミングに同期して表示データに従うアドレスパルス信号を与えるアドレスドライバとを有し、

第一のアドレス電極のアドレスパルス信号の立ち上がり時と、該第一のアドレス電極に隣接する第二のアドレス電極のアドレスパルス信号の立ち下がり時とが、所定の時間差を有することを特徴とする表示装置。

【請求項2】請求項1記載の表示装置において、前記アドレスドライバは、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを開始した後、所定の時間経過後に、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを開始する様に該アドレス電極を駆動することを特徴とする。

【請求項3】請求項1記載の表示装置において、前記アドレスドライバは、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを開始した後、所定の時間経過後に、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを開始する様に該アドレス電極を駆動することを特徴とする。

【請求項4】請求項1記載の表示装置において、前記アドレスドライバは、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを終了した後に、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを開始する様に該アドレス電極を駆動することを特徴とする。

【請求項5】請求項1記載の表示装置において、前記アドレスドライバは、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを終了した後に、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを開始する様に該アドレス電極を駆動することを特徴とする。

【請求項6】請求項1記載の表示装置において、前記アドレスドライバは、前記第一及び第二のアドレス電極のアドレスパルス信号の立ち上がり傾斜が立ち下がり傾斜よりも緩やかになる様に該アドレス電極を駆動することで、前記所定の時間差を生成することを特徴とする。

【請求項7】請求項1記載の表示装置において、前記アドレスドライバは、前記第一及び第二のアドレス電極のアドレスパルス信号の立ち上がり傾斜が立ち下がり傾斜よりも急峻になる様に該アドレス電極を駆動することで、前記所定の時間差を生成することを特徴とする。

【請求項8】請求項1記載の表示装置において、

前記アドレスドライバは、それぞれアドレス電極に接続されたプルアップトランジスタとプルダウントランジスタとを有し、前記走査タイミングに対して該プルアップトランジスタが導通するタイミングと該プルダウントランジスタが導通するタイミングとが、前記所定の時間差を有することを特徴とする。

【請求項9】請求項8記載の表示装置において、前記アドレスドライバのプルアップトランジスタがプルダウントランジスタよりも、前記走査タイミングに対して、遅く導通することを特徴とする。

【請求項10】請求項8記載の表示装置において、前記アドレスドライバのプルアップトランジスタがプルダウントランジスタよりも、前記走査タイミングに対して、速く導通することを特徴とする。

【請求項11】複数のアドレス電極と、該アドレス電極に交差し放電空間を介して対向して設けられた複数の走査電極とを有するプラズマディスプレイパネルと、該走査電極に走査タイミングで順次走査パルス信号を与える走査電極ドライバと、

前記アドレス電極に、前記走査タイミングに同期して表示データに従うアドレスパルス信号を与えるアドレスドライバとを有し、

第一のアドレス電極のアドレスパルス信号の立ち上がり時と、該第一のアドレス電極に隣接する第二のアドレス電極のアドレスパルス信号の立ち下がり時とが、所定の時間差を有することを特徴とするPDP表示装置。

【請求項12】請求項11記載の表示装置において、前記アドレスドライバは、前記所定の時間差が、隣接する前記アドレス電極の間の容量を充電する為に必要なアドレスドライバの消費電力を実質的に減少する程度になる様に、設計されていることを特徴とする。

【請求項13】請求項1乃至7に記載の表示装置において、

前記第一のアドレス電極のアドレスパルス信号の立ち上がり時と前記第二のアドレスパルス信号の立ち下がり時のクロスポイントの電圧が、該第一または第二のアドレス電極のアドレスパルス信号の立ち上がりまたは立ち下がり電圧の約10%以下になることを特徴とする。

【請求項14】請求項1乃至7に記載の表示装置において、

前記第一のアドレス電極のアドレスパルス信号の立ち上がり時と前記第二のアドレスパルス信号の立ち下がり時のクロスポイントの電圧が、該第一または第二のアドレス電極のアドレスパルス信号の立ち上がりまたは立ち下がり電圧の約90%以上になることを特徴とする。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラット表示パネルを利用した表示装置に係わり、特にアドレス線又はデータバス線の駆動に必要な消費電力を少なくすることが

できる駆動回路の改良に関する。

【0002】

【従来の技術】フラット・ディスプレイ・パネルには、AC型のプラズマ・ディスプレイ・パネル（以下PDPと称する。）、DC型のPDP、液晶表示パネル（LCD）、エレクトロ・ルミネッセンス（EL）等が含まれる。これらの表示パネルでの共通点は、例えば縦方向に配列された複数本のアドレス線（またはデータバス線）に表示データに従うデータ信号をドライバ回路から供給し、横方向に配列された複数本の走査線を順次駆動すること、アドレス線と走査線との交差部の画素に表示データを表示することにある。

【0003】走査線を上から順番に駆動し、各走査線上の表示データの信号をアドレス線に印加する時、アドレス線にはLレベルからHレベルへの充電とHレベルからLレベルへの放電とが行われる。特に、例えば千鳥格子状に点灯画素（白画素）と非点灯画素（黒画素）とが配列された画像の場合は、アドレス線は走査線がシフトするたびにHレベルとLレベルとの間で充電され放電される。また、隣接するアドレス線間でみると、一方が充電され他方が放電されることになる。

【0004】従来のアドレス線の駆動回路では、走査線に走査パルスが印加されている期間中にアドレス線がHレベルまたはLレベルに駆動され、走査パルスが次の走査線に印加される次の走査期間では、一斉にアドレス線がHまたはLレベルに駆動される。

【0005】

【発明が解決しようとする課題】上記したアドレス線の駆動に伴い、所定量の電力が消費される。この消費電力は、特にプラズマ放電を行うPDPにおいては、出来るだけ小さいことが必要である。また、携帯用のコンピュータに使用されるLCDにおいても、その消費電力を小さくすることが望まれる。

【0006】そこで、本発明の目的は、消費電力が小さいフラット・ディスプレイ・パネルを使用する表示装置を提供することにある。

【0007】更に、本発明の目的は、アドレス電極の駆動に必要な消費電力が小さいフラット・ディスプレイ・パネルを使用する表示装置を提供することにある。

【0008】更に、本発明の目的は、アドレス電極の駆動に必要な消費電力が小さいPDPを使用するPDP表示装置を提供することにある。

【0009】

【課題を解決するための手段】本発明者等は、アドレス線の駆動には、対向する走査電極との間の容量に対する充放電と隣接するアドレス線との間の容量に対する充放電とがあることに注目し、アドレス線の駆動信号波形を改良することにより隣接するアドレス線間の容量の充電と放電に必要な電力を少なくすることができる方法を見いだした。

【0010】隣接するアドレス線間の容量に着目すると、前述した千鳥格子状の表示パターンを表示する場合、同じ容量に対して一方のアドレス線から充電し、同時に他方のアドレス線側に放電を行う為に、その容量に対しては2倍の電力の消費が行われる。そこで、本発明者等は、隣接するアドレス線間で電源線（高い電源または接地電源）を介して閉ループを形成する様にすることで、その消費電力を最大で半分にすることができることを見いだした。この原理については、後で詳述する。

10 【0011】そこで、上記の目的は、本発明によれば、複数のアドレス電極と、該アドレス電極に交差し対向して設けられた複数の走査電極とを有するフラット表示パネルと、該走査電極に走査タイミングで順次走査パルス信号を与える走査電極ドライバと、前記アドレス電極に、前記走査タイミングに同期して表示データに従うアドレスパルス信号を与えるアドレスドライバとを有し、第一のアドレス電極のアドレスパルス信号の立ち上がり20 と、該第一のアドレス電極に隣接する第二のアドレス電極のアドレスパルス信号の立ち下がりとが、所定の時間差を有することを特徴とする表示装置を提供することにより達成される。

【0012】上記の所定の時間差を有する為に、具体的には、アドレスドライバは、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを開始した後、所定の時間経過後に、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを開始する様に該アドレス電極を駆動する。

30 【0013】或いは、逆に、アドレスドライバは、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを開始した後、所定の時間経過後に、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを開始する様に該アドレス電極を駆動する。

【0014】更に、上記の所定時間差を有する為に、具体的には、アドレスドライバは、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを終了した後に、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを開始する様に該アドレス電極を駆動する。

【0015】或いは逆に、アドレスドライバは、前記第二のアドレス電極のアドレスパルス信号が立ち下がりを終了した後に、前記第一のアドレス電極のアドレスパルス信号が立ち上がりを開始する様に該アドレス電極を駆動する。

【0016】又は、別の方法として、アドレスパルスの立ち上がりと立ち下がりの傾斜に差をつける方法でも、前記所定の時間差を生成することができる。

50 【0017】上記の目的は、本発明によれば、複数のアドレス電極と、該アドレス電極に交差し放電空間を介して対向して設けられた複数の走査電極とを有するプラズマディスプレイパネルと、該走査電極に走査タイミングで順次走査パルス信号を与える走査電極ドライバと、前

記アドレス電極に、前記走査タイミングに同期して表示データに従うアドレスパルス信号を与えるアドレスドライバとを有し、第一のアドレス電極のアドレスパルス信号の立ち上がり、と、該第一のアドレス電極に隣接する第二のアドレス電極のアドレスパルス信号の立ち下がり、とが、所定の時間差を有することを特徴とするPDP表示装置を提供することにより達成される。

【0018】そして、前記アドレスドライバは、前記所定の時間差が、隣接する前記アドレス電極の間の容量を充電する為に必要なアドレスドライバの消費電力を実質的に減少する程度になる様に、設計されていることを特徴とする。

【0019】

【発明の実施の形態】以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。以下、フラット・ディスプレイ・パネルの一例として面放電AC型のPDPを例にして説明する。

【0020】〔PDPの概略〕図1は、PDPの構造を示す平面図である。また、図2は、PDPの構造を示す断面図である。両方の図を参照しながら構造を説明する。先ず、前面側のガラス基板10上には、Y1～Ynで示される走査電極11とX1～Xnで示されるX電極12とが交互に形成され、それらを誘電体層14が覆っている。また、背面側のガラス基板20上には、A1～Amで示されるアドレス電極21がX電極と走査電極に直交する様に設けられ、誘電体層14で覆われている。更に、アドレス電極21の間の位置に誘電体からなる隔壁(リブ)23が形成され、誘電体層14と隔壁23の上に蛍光体24が形成されている。

【0021】表示の方法は、アドレス電極21と走査電極11との間に電圧を印加してプラズマ放電を発生させ、それに伴って発生する壁電荷を誘電体層14の表面に蓄積する。そして、その後全てのX電極12と走査電極11間に維持パルスを交互に印加して、壁電荷が蓄積されている画素で、X電極12と走査電極11との間で維持放電を繰り返させる。この繰り返しの時間の長短により階調表示を可能にする。また、蛍光体を赤、青、緑と並べておくことでカラー表示を可能にする。

【0022】図3は、上記したPDPに駆動回路を接続した表示装置のブロック図である。また、図4は、その駆動回路により各電極に与えられる駆動信号を示した図である。

【0023】図3中の制御回路35は、外部から垂直同期信号Vsync、水平同期信号Hsync、画像データDATA及びドットクロックCLKを与えられる。表示データ制御部36は、画像データDATAに対してドットクロックCLKによるサンプリング、階調表示の為の変換等を行って、生成した表示データを内蔵するフレームメモリに格納する。そして、フレームメモリ内の表

示データがアドレスドライバ34に送られる。また、走査ドライバ制御部37では、走査電極Yの駆動を行う走査ドライバ32に所定の走査タイミング信号を出力する。更に、共通ドライバ制御部38は、走査電極Yと共通に接続されているX電極をそれぞれ共通に駆動するY共通ドライバ33とX共通ドライバ31とに所定の駆動タイミング信号を出力する。

【0024】図4を参照しながら、上記した表示駆動について説明する。例えば、米国特許第5,54,618号に記載される様に、1つのフレーム期間が複数のサブフレーム期間に分けられ、そのサブフレーム期間は、図4の様にリセット期間、アドレス期間、サステイン(維持放電)期間からなる。リセット期間では、X電極全部にリセットパルスVwを印加して強制的にX電極と走査電極との間でプラズマ放電を発生させる。リセットパルスVwの立ち下がり、で、その放電によって発生した電荷による電位により再度X電極と走査電極との間で放電が発生して、全ての画素での壁電荷が中和される。

【0025】次に、アドレス期間では、走査ドライバ32が走査電極Y1～Ynに対して順に負の走査パルスVbを発生させる。その走査のタイミングにあわせて、アドレスドライバ34は、表示データに対応した正のアドレス電圧パルスVaを各アドレス電極に発生させる。その時、X共通ドライバ31によりX電極は電圧Vaに維持される。従って、アドレス期間では、表示データに従って対応する画素の走査電極11とアドレス電極21との間でプラズマ放電が発生する。走査電極が上から順番に走査される毎に、アドレスドライバは表示データに従う充電・放電によりアドレス電極にHレベル(Va)またはLレベル(0v)を発生させる。

【0026】このアドレス期間中に放電させられた画素には放電による壁電荷が誘電体層上に蓄積される。

【0027】そして、サステイン期間中に、X共通ドライバ31とY共通ドライバ33により、全てのX電極と走査電極(Y電極)とに交互に維持電圧パルスVsを発生させる。この維持電圧パルスVsにより、アドレス期間で放電して壁電荷を記憶している画素のみがX電極と走査電極との間で放電を繰り返す。この維持電圧パルスの数を制御することで、画素の輝度を制御し、複数のサブフレーム内の維持放電期間の組み合わせにより階調表示を行う。

【0028】〔本発明の原理〕本発明の原理を説明する為に、先ずアドレス電極21にパルスVaが生成される時の充電と放電について説明する。図2の断面図に示した通り、アドレス電極21にパルスを生成させる為には、隣接するアドレス電極間の容量Caと、対向する走査電極11、X電極12との間の容量Cgとに対して充電と放電を行う必要がある。

【0029】図5は、係る充電と放電が最も頻繁に行われる場合の表示パターンを示す図である。即ち、Y電極

とアドレス電極との交差部の画素の内、図中の丸の部分
が点灯（放電）され、それ以外の画素が点灯されないこ
とを示しており、所謂千鳥格子パターンになっている。
このような表示パターンの場合、ノンインターレス表
示においては走査電極Yを上から順に走査し、それに同
期してアドレス電極に表示データに従うアドレスパルス
Vaを印加する。従って、上記の様な千鳥格子パターン
では、アドレス電極に対して充電と放電を最も頻繁に繰
り返す必要がある。インターレス表示の場合は、従っ
て、2画素ずつの千鳥格子パターンが最も充電と放電が
頻繁に行われる。

【0030】図6は、アドレス電極の隣接電極間の容量
Caを充電・放電する場合の等価回路図である。図7
は、上記の千鳥格子の表示パターンに対するアドレス期
間での駆動パルス信号を示す図である。また、図8は、
図6の回路において図7のパルス信号を与える時の消費
電力を求める為の等価回路図である。図6、7、8に従
って、隣接するアドレス電極間の容量Caに対する充電
と放電の電力を以下の様に求める。

【0031】図5に示した千鳥格子のパターンを表示す
る時は、図7に示される様に隣接するアドレス電極A
i, Ai+1に対して反対極性のパルス信号を与える必
要がある。即ち、時刻t0の時にアドレス電極AiがL
レベル、Ai+1がHレベルであり、次の走査電極Yj*

$$i_{a1} = \frac{2V_a}{2R_a} e^{-\frac{t}{2CaRa}} = \frac{V_a}{R_a} e^{-\frac{t}{2CaRa}} \quad (1)$$

【0034】となる。この電流の波形は、後述する図1
1のia1に示す通り時定数が大きいため持続時間の長
い波形形状になる。

【0035】そこで、1回のアドレスパルス印加により※

$$\begin{aligned} E_{a1} &= \int_0^{\infty} V_a i_{a1} dt \\ &= \frac{V_a^2}{R_a} \int_0^{\infty} e^{-\frac{t}{2CaRa}} dt \\ &= \frac{V_a^2}{R_a} (-2CaRa) \left[e^{-\frac{t}{2CaRa}} \right]_0^{\infty} \\ &= 2CaV_a^2 \end{aligned} \quad (2)$$

【0037】となる。従って単位時間当たりの消費エネ
ルギである消費電力Pa1 (w)を求めるには、フレ
ーム周波数をF、走査電極数をYnとすると、上記の容量
Caへの充電はアドレス電極Aiにとり1フレーム毎に
Yn/2回行われるので、

【0038】

【数3】

$$Pa1 = 2CaV_a^2 F \frac{Y_n}{2} \quad (3)$$

【0039】となる。

【0040】即ち、隣接するアドレス電極AiとAi+

*が選択される時刻t1ではアドレス電極AiがHレ
ベル、Ai+1がLレベルに反転される。従って、図6に
おいて、アドレスパルスが切り換えられる時刻t0から
t1では、アドレス電極Aiのドライバ40の電源Va
からドライバ40内のスイッチ素子のオン抵抗とアドレ
ス電極Ai等の配線系の抵抗成分を加算した寄生抵抗Ra
を介して容量Caに電流ia1が流れて充電され、アドレ
ス電極Ai+1のドライバ41の接地電源に向かっ
て容量Caから寄生抵抗Raを介して電流ia1が流れ
て放電される。そこで、この充電と放電に関して、図6
の電流ia1と容量Caと抵抗Raとの関係を等価回路
で表すと、図8のようになる。図6に示される通り、電流
ia1は2つの直列接続の抵抗Raを流れるので図8の
等価回路では抵抗値は2Raである。そして、両アドレ
ス電極の充電と放電は、図8の如くスイッチSWを閉じ
ることにより電源電圧Vaが容量Caに接続されて-V
aから+Vaまで充電されることを意味する。

【0032】図8のモデルに従って、時刻t0からt1
までに消費される電力を計算する。先ず、電流ia1
は、アドレスパルスの切り換え後の時間t=0では2V
a/2Raであり、t>0では2CaRaを定数とする
指数関数により減少するので、

【0033】

【数1】

※電源から供給されるエネルギーEa1は、

【0036】

【数2】

1とに同時に逆極性のアドレス電圧パルスが印加する為
に、電源Vaから隣接電極間の容量Caに対して-Va
から+Vaまで充電電流を供給することになる。

【0041】図9は、アドレス電極と対向するX電極及
び走査電極との間の容量Cgを充電する場合の等価回路
図である。図10は、上記の千鳥格子の表示パターンに
おける容量Cgに対するアドレス期間での駆動パルス信
号を示す図である。また、図11は、図9の回路におけ
る充電電流の波形図である。図9、10、11に従っ
て、アドレス電極と対向電極との間の容量Cgに対する
充電の電力を以下の様に求める。

【0042】この例では、対向電極の電位が固定の0Vであるので、その等価回路図は図9の様に単純になる。即ち、アドレス電極A_iのドライバ40から寄生抵抗R_aを介して対向電極間容量C_gを電流i_gで充電するモデルである。上記と同様に、電流i_gは、

【0043】

【数4】

$$i_g = \frac{V_a}{R_a} e^{-\frac{t}{C_g R_a}} \quad (4)$$

$$\begin{aligned} E_g &= \int_0^{\infty} V_a i_g dt = \frac{V_a^2}{R_a} \int_0^{\infty} e^{-\frac{t}{C_g R_a}} dt \\ &= \frac{V_a^2}{R_a} (-C_g R_a) \left[e^{-\frac{t}{C_g R_a}} \right]_0^{\infty} = C_g V_a^2 \end{aligned} \quad (5)$$

【0047】となる。従って単位時間当たりの消費エネルギーである消費電力P_g(w)を求めるには、フレーム周波数をF、走査電極数をY_nとすると、上記の容量C_gへの充電はアドレス電極A_iにとって1フレーム毎に 20 Y_n/2回行われるので、

【0048】

【数6】

$$P_g = C_g V_a^2 F \frac{Y_n}{2} \quad (6)$$

【0049】となる。

【0050】図2の断面図に示した通り、一般に、誘電体で覆われた隣接アドレス電極間の容量C_aは、放電ガスが存在する対向電極間容量C_gよりも2倍程度大きい。従って、上記の数式3と6を比較すると、アドレス電極A_iにアドレスパルス印加するときのトータルの消費電力P=P_{a1}+P_gの内、隣接間容量C_aの充電に要する消費電力P_{a1}が多くの部分を占めることになる。従って、この消費電力P_{a1}を小さくすることにより、トータルのアドレス電極駆動の為の消費電力を効率的に削減することができる。

【0051】図12は、本発明の原理を説明する為の等価回路図である。隣接アドレス電極間容量C_aへの充電・放電で説明した通り、隣接するアドレス電極に同時に逆極性のパルスが印加されるので、等価的には電源V_a 40 から容量C_aに対して電圧2V_a分の充電が必要になる。そこで、図12中に矢印で示す通り、時刻t₀からアドレスパルスを印加する直前に、容量C_aの両電極を短絡することで両電極の電位を同等にする。その後、パルスを印加することで、容量C_aに対しては電圧V_a分の充電で足りることになる。

【0052】図13は、その原理に従うアドレス電圧パルスの波形例を示す図である。この波形例では、アドレス電極A_iにアドレスパルス信号を印加する前に隣接するアドレス電極A_{i+1}のアドレスパルス信号を終了さ 50

*【0044】となる。即ち、図11に示される通り、時定数がC_gR_aで表され比較的速く終息する。この場合は、容量C_gの反対側の電極の電位は接地電位に固定であるので、実質的な充電は0VからV_aまでである。

【0045】そこで、1回のアドレスパルス印加により電源から供給されるエネルギーE_gは、

【0046】

【数5】

せ、共に接地電位になる様にしている。この意味は、図13中の時刻t₀'時には、それぞれのドライバ40、41の接地点を介して容量C_aの両電極が短絡されることを意味する。その結果、時刻t₀時にアドレス電極A_iから見てアドレス電極A_{i+1}の電位がV_a分高い状態であったのが、時刻t₀'時には同等になったことを意味する。従って、図13のパルス波形を、時刻t₀'時に共にHレベル(電源V_aレベル)になる様にしても同様の効果が現れる。

【0053】図14は、前述の図8に対応する等価回路図である。図中(a)は時刻t₀の時で、容量C_aは図に示した方向に充電されている。図中(b)の時刻t₀'には、容量C_aがグランド電位に接続され、充電電荷が放電され、容量C_aの電極はグランド電位に近づく或いはグランド電位になる。そして、その状態から、時刻t₁では電源V_aから電流i_{a2}により電圧V_aまで充電される。

【0054】上記の原理に従って、本発明の駆動方式の場合のアドレス電極の駆動の為の消費電力を求める。先ず、充電の電流i_{a2}は、

【0055】

【数7】

$$i_{a2} = \frac{V_a}{2R_a} e^{-\frac{t}{2C_a R_a}} \quad (7)$$

【0056】になる。電圧値がV_aであり、2V_aでない点が従来例と異なる。この電流波形は、図11のi_{a2}に示される通り、時定数は2C_aR_aで電流i_{a1}に等しいが、最初のピーク電流が半分であり、相対的に小さい波形形状になる。そこで、1回のアドレスパルス印加により電源から供給されるエネルギーE_{a2}は、

【0057】

【数8】

$$\begin{aligned}
 E_{a2} &= \int_0^{\infty} V_{a1} i_{a2} dt = \frac{V_a^2}{2R_a} \int_0^{\infty} e^{-\frac{t}{2CaRa}} dt \\
 &= \frac{V_a^2}{2R_a} (-2CaRa) \left[e^{-\frac{t}{2CaRa}} \right]_0^{\infty} \\
 &= Ca V_a^2
 \end{aligned}
 \tag{8}$$

【0058】となる。その結果、単位時間当たりの消費エネルギーである消費電力 P_{a2} は、

【0059】

【数9】

$$P_{a2} = Ca V_a^2 F \frac{Y_n}{2} \tag{9}$$

【0060】となる。

【0061】即ち、本発明の原理に従えば、数式3と数式9との比較から明らかな通り、隣接アドレス電極間の容量に対しては、消費電力が1/2になっている。上記の計算は、時刻 t_0' において容量 Ca の電荷が完全に放電してしまつたと仮定している。従って、時刻 t_0' の期間が短いと、その分消費電力の削減量も少なくなる。

【0062】図15は、隣接するアドレス電極の駆動パルス波形の種々の関係 $W1 \sim W7$ を示した図である。そして、図16はそれぞれの関係 $W1 \sim W7$ におけるアドレスドライバの消費電力の相対値を示すグラフ図である。

【0063】図15では、説明の便宜上、両アドレス電極 A_i 、 A_{i+1} の駆動パルス波形が同じ傾きで立ち上がり、立ち下がる例で示されている。関係 $W4$ は、両駆動パルス波形が同時に立ち上がり立ち下がり開始し、終了する場合で、従来例として図6、7、8に説明した場合と同等である。従って、図16に示した通り、消費電力は最大になる。

【0064】それに対して、関係 $W1$ の場合は、アドレス電極 A_{i+1} の駆動パルス波形の立ち下がり終了後にアドレス電極 A_i の駆動パルス波形の立ち上がり開始する例である。関係 $W2$ の場合は、立ち下がりの終了と開始が略同時の例である。また、関係 $W3$ は、アドレス電極 A_{i+1} の駆動パルス波形の立ち下がり開始した後に所定時間後にアドレス電極 A_i の立ち上がり開始する例である。関係 $W1$ 、 $W2$ 、 $W3$ の場合は、駆動パルス波形がLレベル側で一致する期間を有している。

【0065】それらとは逆に、関係 $W5$ では、アドレス電極 A_i の駆動パルス波形の立ち上がり開始した後に所定時間後にアドレス電極 A_{i+1} の駆動パルス波形の立ち下がり開始する例である。関係 $W6$ では、立ち下がり開始と立ち上り開始が略同時の例である。そして、関係 $W7$ は、アドレス電極 A_i の駆動パルス波形の立ち上がり終了後にアドレス電極 A_{i+1} の駆動

パルス波形の立ち下がり開始する例である。これらの関係 $W5$ 、 $W6$ 、 $W7$ では、駆動パルス波形がHレベル側で一致する期間を有している。従って、電源 V_a またはその共通接続配線を介して容量 Ca が短絡される。

【0066】図16に示した通り、関係 $W4$ の場合の消費電力を頂点にして、関係 $W1$ または関係 $W7$ になるほど消費電力は小さくなる。これは、既に説明したとおり、図14の時刻 t_0' の時の短絡期間を長くすれば消費電力が少なくなることを意味する。そして、ある程度の時間差になると消費電力の減少が飽和している。

【0067】図17は、一般的なアドレスドライバ回路図である。アドレス電極 A_i と A_{i+1} に接続されるドライバ回路は、例えばN型のプルアップトランジスタ $Q1$ 、 $Q11$ とN型のプルダウントランジスタ $Q2$ 、 $Q12$ と、それらのトランジスタのゲートに逆極性の信号を与える為のインバータ42、43等を少なくとも有する。図15の例では、プルアップトランジスタ $Q1$ がオンして駆動電流44によりアドレス電極 A_i の電位が立ち上げられる。また、プルダウントランジスタ $Q12$ がオンして駆動電流45によりアドレス電極 A_{i+1} の電位が立ち下げられる。従って、図15の関係 $W1 \sim W7$ は、図17のトランジスタ $Q1$ と $Q12$ がオンするタイミングを変えることにより実現される。

【0068】また、本発明は、立ち上がり立ち下りのタイミングが同等であっても、その波形の傾きに大きな差があると同等の効果を発揮する。即ち、立ち下りが急峻で立ち上りが緩慢である等の関係をもつ駆動パルス信号である。そのような駆動パルス信号は、例えば、図17のドライバ回路のプルダウントランジスタのサイズを大きくし或いはそのオン抵抗を小さくし、プルアップトランジスタのサイズを小さくし或いはそのオン抵抗を大きくして、時定数を異ならせることにより形成することができる。更に、他の方法としては、それらのドライバトランジスタの前段の入力信号自体に傾きの差を持たせることにより、同様に立ち上がり立ち下りの時定数を異ならせることができる。

【0069】さて、従来の隣接するアドレス電極の駆動パルス信号が同時に立ち上がり立ち下りを行う場合は消費電力が大きくなる点を説明した。しかし、従来において、回路定数のバラツキやトランジスタのサイズのバラツキ等により、無視できる程度に両駆動パルス信号のタイミングがずれていたたり、立ち上がり立ち下りの傾きに差がある場合も考えられる。しかしながら、本

発明の原理を利用する場合は、駆動パルス信号のタイミングのずれ量は意図的に大きくなるように設計される。また、傾きに大きな差がある様に設計される。あるいは、駆動パルス信号のタイミングをずらして且つ傾きに差をつけることが行われる。

【0070】本発明者等が実験により確認したPDPの例では、例えばパルス幅に対して5%以上のずれを持たせることで大きな消費電力の削減を得ることができた。また、タイミングのずれの方向と傾きの差の方向を、本発明の原理に従う様に組み合わせることで、より大きな消費電力の削減を得ることもできた。

【0071】更に、本発明の消費電力の実質的な削減は、隣接するアドレス電極の波形が逆相に変化する時のクロスポイントの電圧レベルが、波形の高いレベル（電源電圧）に対して相対的にどのようなレベルに位置するかに注目することで、より確実に達成することができる。即ち、クロスポイントの電位を、波形の高電位側（電源電位）に近づけるか、または低電位（接地電位）に近づけるかにより、消費電力を削減できる。特に、クロスポイントの電圧を、立ち上がり電圧または立ち下がり電圧の90%以上にするか、或いは10%以下にした場合に、大幅な消費電力の削減が達成できる。

【0072】通常、当業者は、パルス波形が立ち上がる時、Lレベルから振幅電圧の10%を過ぎると立ち上がり開始したとみなし、90%を過ぎると立ち上がり終了したとみなす場合がある。また、パルス波形が立ち下がる時、Hレベルから振幅電圧の90%を過ぎると立ち下がり開始したとみなし、10%を過ぎると立ち下がり終了したとみなす場合がある。これらの10%、90%の値は、通常のCR時定数回路の過渡応答において、立ち上がりまたは立ち下がりの波形形状の実質的な変化の開始または終了点であることにより設定されたものである。従って、かかる意味でいうと、クロスポイントが10%以下の場合には、立ち下がり終了してから立ち上がり開始することを意味する。逆に、クロスポイントが90%以上の場合には、立ち上がり終了してから立ち下がり開始することを意味する。

【0073】図26は、上記の観点から得られる隣接するアドレス電極の波形の例を示す図である。いずれの波形の、クロスポイントCPの電位が、波形の高電位の90%以上または10%以下になっている。図中(a)と(b)は、立ち上がり傾斜して、立ち下がり急峻の例である。また、図中(c)と(d)は、立ち上がり急峻で、立ち下がり傾斜している例である。図中

(e)と(f)は、立ち上がり立ち下がり共に傾斜している例である。更に、図示しないが、アドレス電極AiとAi+1の振幅が異なる場合は、いずれかの振幅電圧の10%以下または90%以上にすることでもよい。

【0074】上記した様な波形になる様に設計すること

により、隣接容量に対するアドレスドライバの消費電力は、実質的に半分またはそれに近い程度の削減が見込まれる。

【0075】〔駆動パルス波形の例〕図18乃至図21は、アドレス電極の駆動パルス波形の例を示す図である。これらの例では、立ち上がり立ち下がりとは垂直になる場合で示されていて、隣接アドレス電極の駆動パルス波形のタイミングを種々変更した例である。これらの図中のt1~t7は、図4で示した走査期間の切り換えのタイミングを示す。また、これらの駆動パルス波形は、図5の千鳥格子の表示パターン例の場合である。

【0076】図18では、切り換えのタイミングt1~t7では、アドレス電極Ai、Ai+1の駆動パルス信号は、共にLレベルになる期間を有する。この例は、図15に示した関係W1と同じ関係を持つ。従って、駆動パルス信号はデューティ比が低くなっている。図17に示したドライバ回路の例では、プルアップトランジスタがオンするタイミングが遅く、プルダウントランジスタがオンするタイミングが速くなる様に、回路が設計される。

【0077】図19では、切り換えのタイミングt1~t7では、アドレス電極Ai、Ai+1の駆動パルス信号は、共にHレベル（Vaレベル）になる期間を有する。この例は、図15に示した関係W7と同じ関係を持つ。従って、駆動パルス信号はデューティ比が高くなっている。図17に示したドライバ回路の例では、プルアップトランジスタがオンするタイミングが速く、プルダウントランジスタがオンするタイミングが遅くなる様に、回路が設計される。

【0078】図20では、切り換えのタイミングt1~t7では、アドレス電極Ai、Ai+1の駆動パルス信号は、共にLレベルになる期間（t1, t3, t5, t7）と共にHレベル（Vaレベル）になる期間（t2, t4, t6）とを有する。従って、この例は図15に示した関係W1とW7を混在させている。従って、図17に示したドライバ回路の例では、アドレス電極Aiのドライバ回路は、プルアップトランジスタがオンするタイミング及びプルダウントランジスタがオンするタイミングが遅くなる様に、回路が設計される。また、アドレス電極Ai+1のドライバ回路は、それらのタイミングが速くなる様に回路が設計される。

【0079】図21は、図20の例と反対の関係に相当する。即ち、図20では、アドレス電極Aiの駆動パルス信号が遅く、アドレス電極Ai+1の駆動パルス信号が速くなるようになっているが、図21では、アドレス電極Aiの駆動パルス信号が速く、アドレス電極Ai+1の駆動パルス信号が遅くなるようになっている。

【0080】図18乃至図21の駆動パルス信号の例では、アドレス電極の駆動パルス信号と共に走査電極Yの駆動パルス信号も示している。ここで特徴的な点は、図

18の場合は両方の駆動パルス信号が共にHレベルになる期間がないので、走査電極Yの駆動パルス信号パルスの幅は狭くなっていないが、図19～21の場合は、両駆動パルス信号が共にHレベルになる期間では走査電極が負のレベルに駆動されない様に制御されている。これは、隣接するアドレス電極が共に負のレベルの時に走査電極がHレベルになると、両方のアドレス電極に対して放電電圧が印加されて点灯する可能性があるからである。

【0081】図22と図23は、アドレス電極の駆動パルス波形の他の例を示す図である。この駆動パルス波形例は、立ち上がりの傾きと立ち下りの傾きを異ならせた場合の例である。

【0082】図22の例では、駆動パルス信号の波形を立ち上がりを緩慢にし立ち下りを急峻にした例である。隣接アドレス電極の駆動パルス信号の立ち上がり開始と立ち下り開始が同等であっても、傾きを大きく異ならせることにより本発明の原理を利用することができる。また、立ち上がりを緩慢にして、同時に図中に破線で示す通り立ち上がりのタイミングを遅らせることで、消費電力を大きく減らすことができる。

【0083】図23の例では、駆動パルス信号の波形を立ち上がりを急峻にし立ち下りを緩慢にした例である。その時、破線の如く立ち下りのタイミングを遅らせることで、更に消費電力を大きく減らすことができる。この例では、隣接するアドレス電極が共にHレベルになる期間があるので、走査電極のパルス幅は狭くなっている。

【0084】上記した駆動パルス信号の波形例では、タイミングを大きくずらしたり、立ち上がりと立ち下りの傾きを大きく異ならせたりすることで、消費電力が大きく減少すると説明した。しかし、アドレス期間では、プラズマ放電により発生する電荷を壁電荷として残し、その電荷による電圧に維持放電時の電圧を加えて維持放電が発生する様にしている。従って、その維持放電が十分に起きる程度のエネルギーをアドレス期間で供給することが必要である。駆動パルス信号の共通Lレベルの期間が長すぎるとそのエネルギーが不足する。また、駆動パルス信号の共通Hレベルの期間が長い場合も、走査パルス幅が短くなりそのエネルギーが不足する。従って、本発明によれば、両方のバランスを考慮して、最大限の消費電力の削減が可能な様にドライバ回路が設計される。

【0085】図24は、より現実的なアドレス電極の駆動パルス信号の波形図の例である。図中(a)は、立ち上がりと立ち下りが略同じタイミングの例であり、図中(b)は、立ち上がりの開始が立ち下りよりも遅れている例である。

【0086】図24(a)の場合は、立ち上がりの傾きは多少緩慢であるが、通常のドライバ回路ではプルアップ

プの方が時間を要する場合が多く、単にそれだけでは、十分な消費電力の削減を実現することが出来ない。

【0087】前述した、クロスポイントのレベルを見ると、図24(a)におけるクロスポイントの電圧は16Vで、高電位の60Vの10%の6Vに対して大き過ぎるので、消費電力の削減量は小さい。

【0088】一方、図24(b)の場合は、明らかに立ち上がりの開始のタイミングを立ち下りよりも遅らせているので、十分な消費電力の削減を実現できた。両方の例の信号レベルが50%の時点での遅延時間は、

(a)が65nsec程度であるのに対して、(b)の例では180nsec程度と大きくなっている。この例では、パルス幅が3000nsec程度であり、(b)の例では約5%以上の遅延になっている。

【0089】更に、クロスポイントのレベルを見ると、図24(b)におけるクロスポイントの電圧は2Vで、高電位の60Vの10%の6Vに対して十分小さく、消費電力の削減量は大きい。

【0090】[アドレスドライバ回路]図25は、アドレスドライバの具体的な回路図の例である。この例では、プルアップ用のN型トランジスタN2とプルダウン用のN型トランジスタN1とがアドレス電極Aiに接続されている出力端DOに接続されている。プルダウン用トランジスタN1のゲートには、表示データ信号DataがNAND54とインバータ55を介して直接供給される。表示データ信号DataがHレベルの時に、トランジスタN1のゲート電圧がHレベルになり導通して、ダイオードD3を経由してアドレス電極Aiを接地電位に立ち下げる。

【0091】一方、プルアップ用のトランジスタN2は、そのソース端子がアドレス電極Aiに接続されている。従って、ソース端子がVaレベル近傍まで上昇しても導通状態を保つ必要がある。従って、N型トランジスタN3、P型トランジスタP1及び抵抗R1～R4により、プルアップトランジスタN2のゲート電極に電源Vaに近い電位が印加される様になっている。表示データ信号DataがLレベルの時、トランジスタN3が導通し、抵抗R1、R2で分割された低い電圧がP型トランジスタP1のゲート電極に印加される。その結果、トランジスタP1が導通し、トランジスタN2のゲート電圧を電源Va近傍に引き上げて、トランジスタN2が導通する。

【0092】上記の説明から明らかな通り、プルアップトランジスタN2がオンするタイミングは、P型のトランジスタP1の回路1段分が挿入されている分、プルダウントランジスタN1がオンするタイミングよりも遅くなっている。更に、積極的に本発明の効果を引き出すために、インバータ53に信号を遅延させる機能を与えることも可能である。また、タイミングクロックclkを、奇数アドレス電極と偶数アドレス電極とで変えるこ

とにより、図20、21で示した様な駆動パルス信号を前後にずらすことも可能である。

【0093】尚、本発明の動作原理に従えば、アドレス期間における走査電極Yの電圧レベルは図4に示す接地電位に限定されず、例えば負の電位等の任意の電位に設定することができる。

【0094】

【発明の効果】以上説明した通り、本発明によれば、PDPのアドレスドライバの消費電力を大きく削減することができる。従って、省電力のフラット表示パネルを提供

【図面の簡単な説明】

【図1】PDPの構造を示す平面図である。

【図2】PDPの構造を示す断面図である。

【図3】PDPに駆動回路を接続した表示装置のブロック図である。

【図4】駆動回路により各電極に与えられる駆動パルス信号を示した図である。

【図5】充電と放電が最も頻繁に行われる場合の表示パターンを示す図である。

【図6】アドレス電極の隣接電極間の容量 C_a を充電・放電する場合の等価回路図である。

【図7】千鳥格子の表示パターンに対するアドレス期間での駆動パルス信号を示す図である。

【図8】消費電力を求める為の等価回路図である。

【図9】アドレス電極と対向するX電極及び走査電極との間の容量 C_g を充電する場合の等価回路図である。

【図10】千鳥格子の表示パターンに対するアドレス期間での駆動パルス信号を示す図である。

【図11】図9の回路における充電電流の波形図である。

【図12】本発明の原理を説明する為の等価回路図であ

る。

【図13】本発明の原理を説明する為の等価回路図である。

【図14】図8に対応する等価回路図である。

【図15】隣接するアドレス電極の駆動パルス波形の種々の関係 $W1 \sim W7$ を示した図である。

【図16】関係 $W1 \sim W7$ におけるアドレスドライバの消費電力の相対値を示すグラフ図である。

【図17】一般的なアドレスドライバ回路図である。

【図18】アドレス電極の駆動パルス波形の例を示す図である。

【図19】アドレス電極の駆動パルス波形の例を示す図である。

【図20】アドレス電極の駆動パルス波形の例を示す図である。

【図21】アドレス電極の駆動パルス波形の例を示す図である。

【図22】アドレス電極の駆動パルス波形の他の例を示す図である。

【図23】アドレス電極の駆動パルス波形の他の例を示す図である。

【図24】より現実的なアドレス電極の駆動パルス信号の波形図の例である。

【図25】アドレスドライバの具体的な回路図の例である。

【図26】アドレス電極の駆動パルス波形の例を示す図である。

【符号の説明】

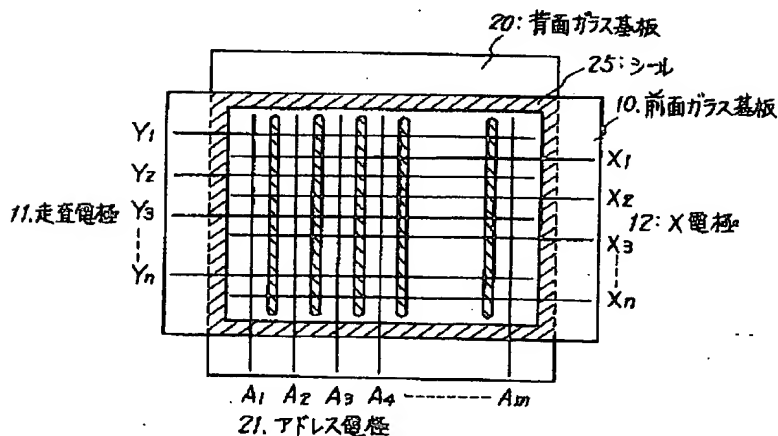
11、Y 走査電極

12、X X電極

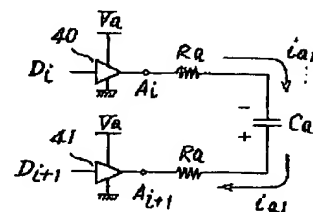
21、A アドレス電極

40、41 アドレスドライバ

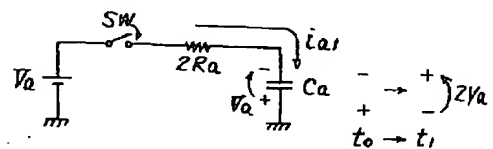
【図1】



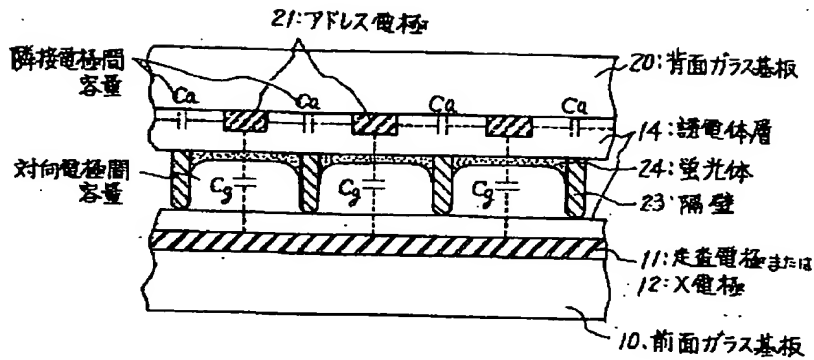
【図6】



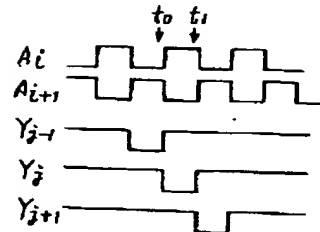
【図8】



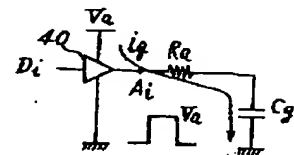
【図2】



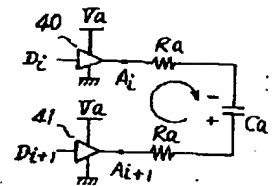
【図7】



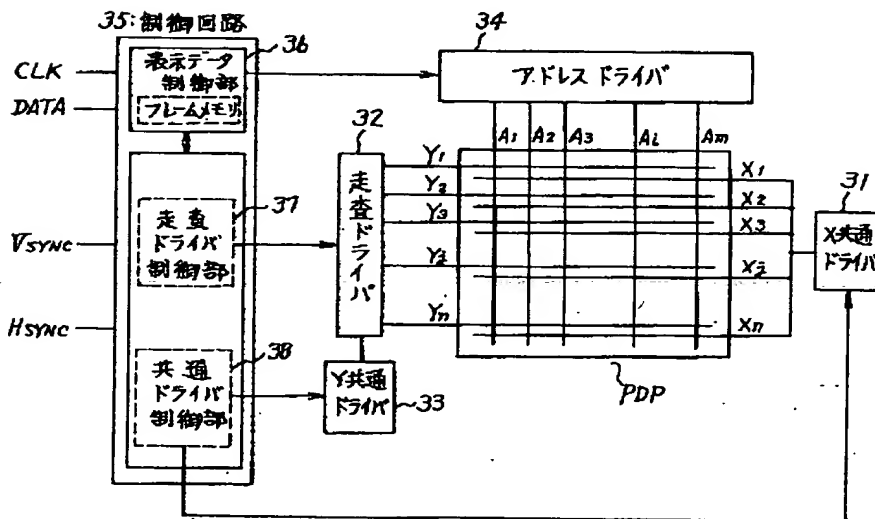
【図9】



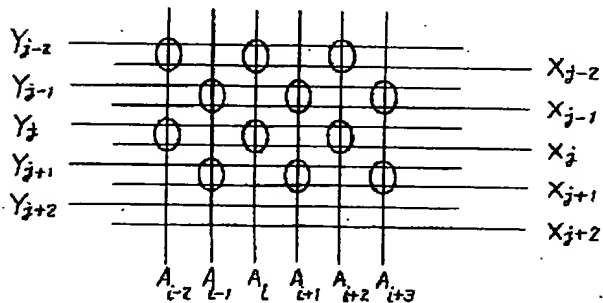
【図12】



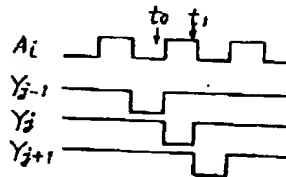
【図3】



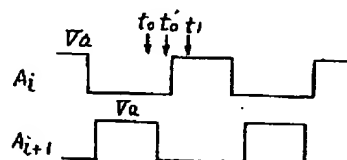
【図5】



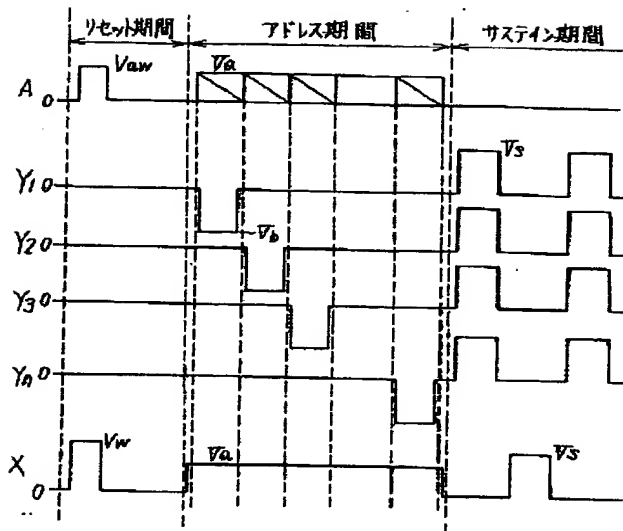
【図10】



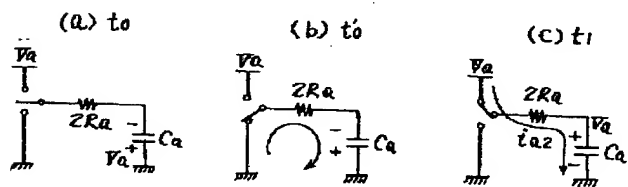
【図13】



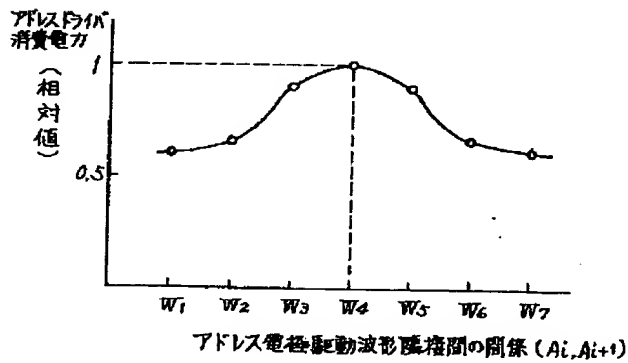
【図4】



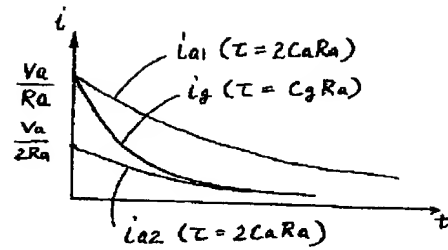
【図14】



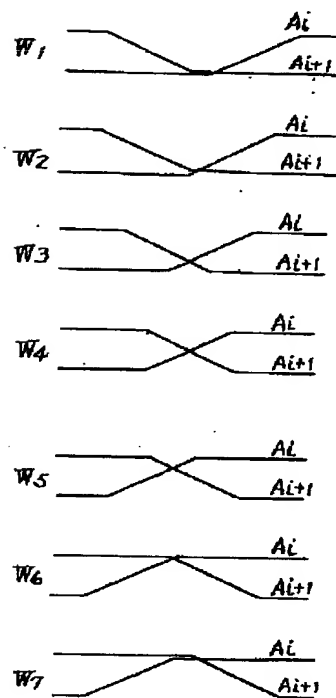
【図16】



【図11】

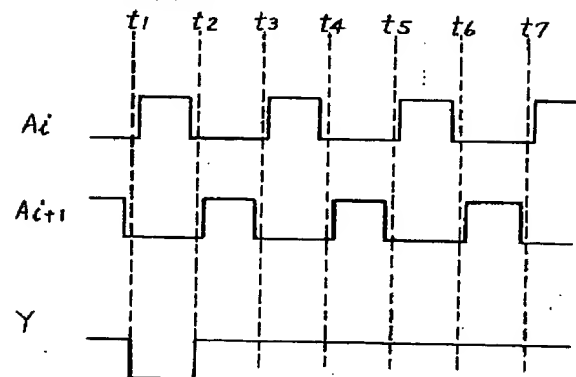


【図15】

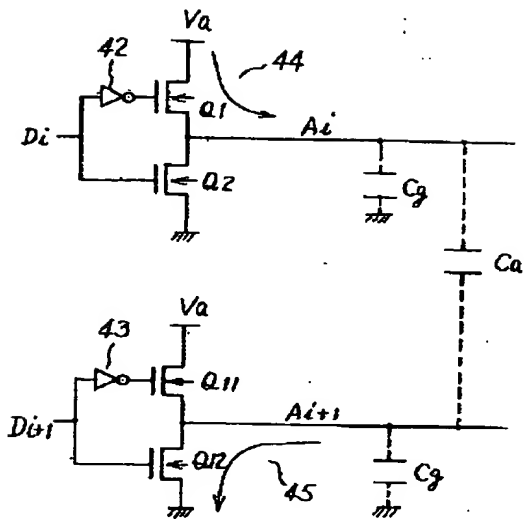


【図18】

駆動波形例1

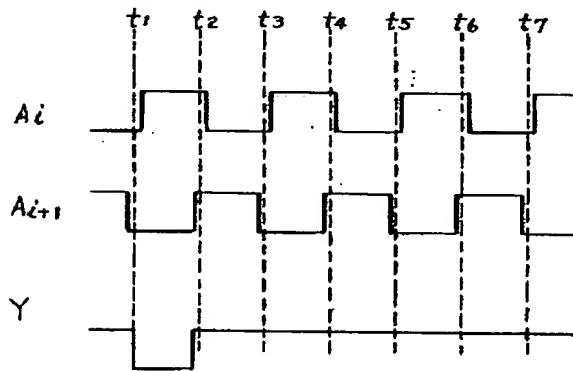


【図17】



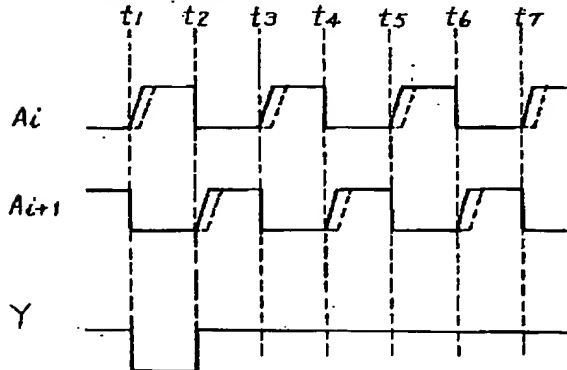
【図20】

駆動波形例3



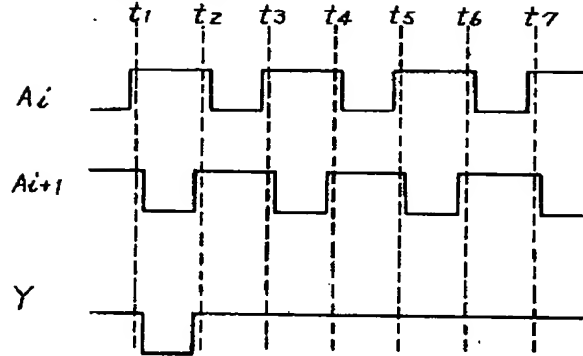
【図22】

駆動波形例5



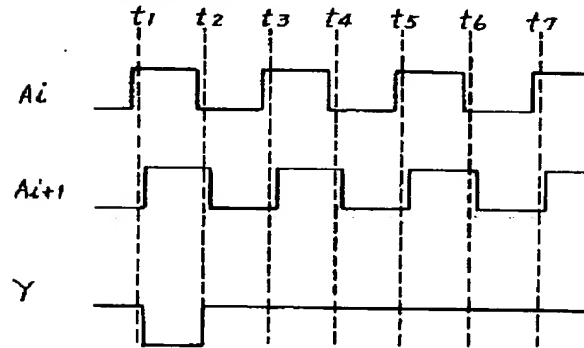
【図19】

駆動波形例2



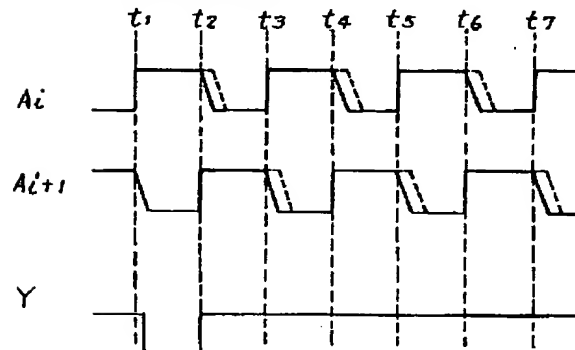
【図21】

駆動波形例4

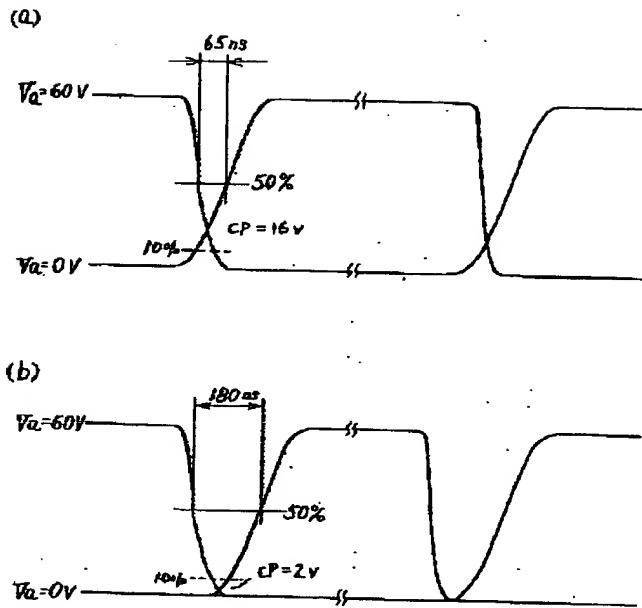


【図23】

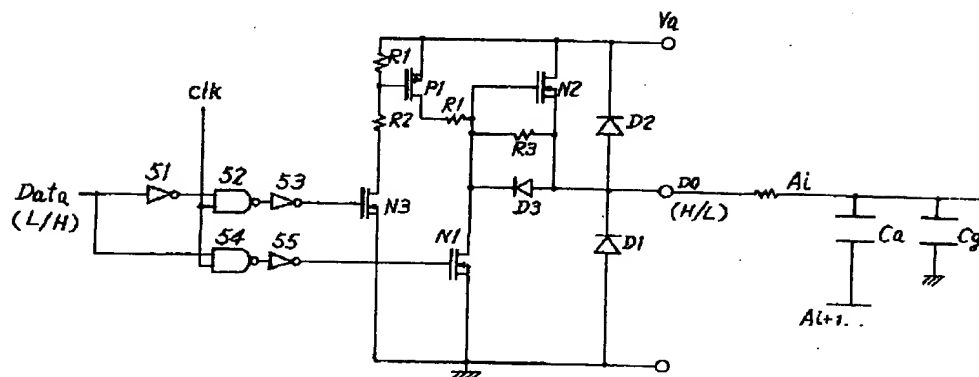
駆動波形例6



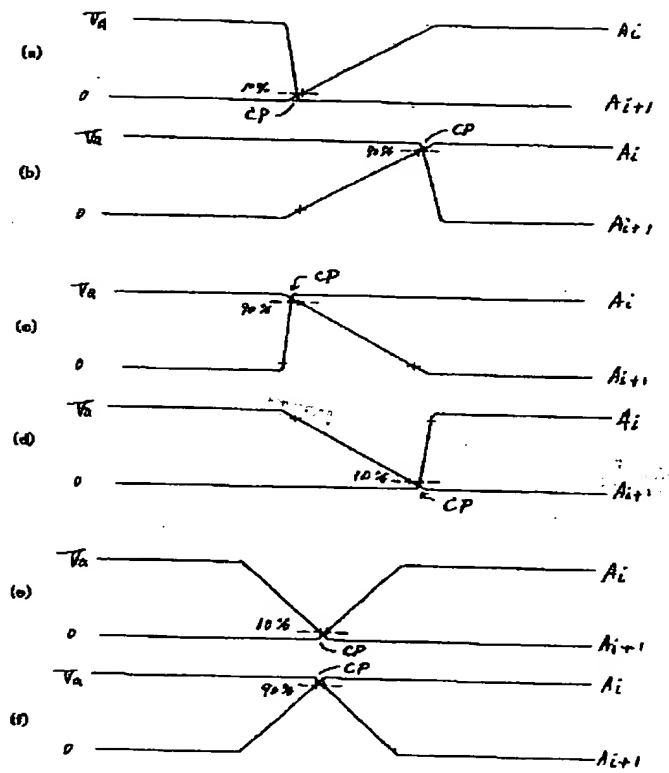
【図24】



【図25】



【図 26】



THIS PAGE BLANK (USPTO)